

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-094082

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H01L 31/02
H01L 21/3205
H01L 23/12
H01L 27/14
H04N 5/335

(21)Application number : 2001-165017 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 31.05.2001 (72)Inventor : WADA KENJI

(30)Priority

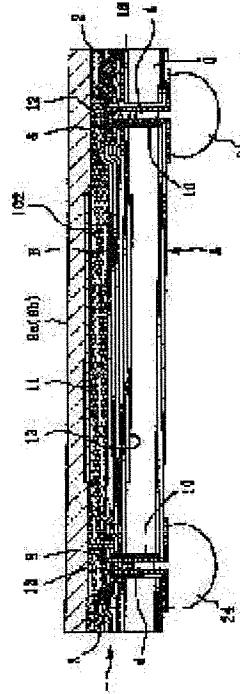
Priority number : 2000209352 Priority date : 11.07.2000 Priority country : JP

(54) OPTICAL ELEMENT AND ITS MANUFACTURING METHOD AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an optical element that can miniaturize a device and at the same time can secure the electrical continuity of both surfaces, a method for manufacturing the light element, and electronic equipment.

SOLUTION: In this manufacturing method of the light element, a through- hole 4 is formed in a semiconductor device 3 having an optical section 13 and an electrode 2 being electrically connected to the optical section 13, and a conductive layer 8 including the inner-wall surface of the through-hole 4 is formed at the section between a first surface B at a side, where the optical section 13 of the semiconductor device 3 is formed and a second surface A counterposing the first one B.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-94082

(P2002-94082A)

(43)公開日 平成14年3月29日 (2002.3.29)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 01 L 31/02		H 01 L 23/12	5 0 1 P 4 M 1 1 8
21/3205		H 04 N 5/335	U 5 C 0 2 4
23/12	5 0 1	H 01 L 31/02	B 5 F 0 3 3
27/14		27/14	D 5 F 0 8 8
H 04 N 5/335		21/88	J

審査請求 未請求 請求項の数25 O.L (全 15 頁)

(21)出願番号	特願2001-165017(P2001-165017)
(22)出願日	平成13年5月31日 (2001.5.31)
(31)優先権主張番号	特願2000-209352(P2000-209352)
(32)優先日	平成12年7月11日 (2000.7.11)
(33)優先権主張国	日本 (JP)

(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(72)発明者	和田 健嗣 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74)代理人	100090479 弁理士 井上 一 (外2名)

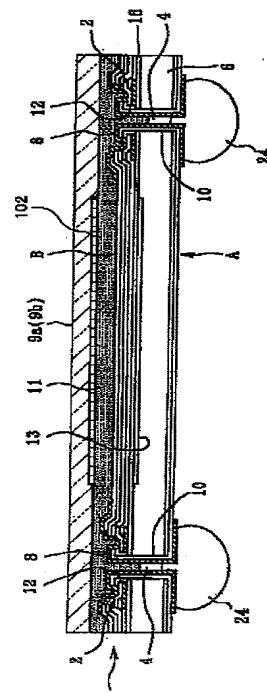
最終頁に続く

(54)【発明の名称】 光素子及びその製造方法並びに電子機器

(57)【要約】

【課題】 装置の小型化を図るとともに両面の電気的導通を確保することができる光素子及びその製造方法並びに電子機器を提供することにある。

【解決手段】 光素子の製造方法は、光学部13と、光学部13と電気的に接続された電極2と、を備えた半導体素子3に貫通穴4を形成することと、貫通穴4の内壁面を含み、半導体素子3の光学部13が形成された側の第1の面Bから、この第1の面Bに対向する第2の面Aに亘る導電層8を形成することと、を有する。



【特許請求の範囲】

【請求項1】 光学部と、前記光学部と電気的に接続された電極と、を備えた半導体素子に貫通穴を形成することと、

前記貫通穴の内壁面を含み、前記半導体素子の前記光学部が形成された側の第1の面から、前記第1の面に対向する第2の面に亘る導電層を形成することと、を有する光素子の製造方法。

【請求項2】 請求項1記載の光素子の製造方法において、

前記半導体素子の前記第2の面に、前記導電層と電気的に接続する外部電極を形成することをさらに有する光素子の製造方法。

【請求項3】 請求項1又は請求項2に記載の光素子の製造方法において、

前記半導体素子の前記第2の面に応力緩和層を形成した後、前記導電層を前記応力緩和層上に形成する光素子の製造方法。

【請求項4】 請求項2を引用する請求項3記載の光素子の製造方法において、

前記外部電極を、前記第2の面における前記応力緩和層に対応する位置に形成する光素子の製造方法。

【請求項5】 請求項1から請求項4のいずれかに記載の光素子の製造方法において、

前記半導体素子は、半導体ウエハから切断されてなる半導体チップである光素子の製造方法。

【請求項6】 請求項1から請求項4のいずれかに記載の光素子の製造方法において、

前記半導体素子は、半導体ウエハの一部であり、前記半導体ウエハを、それぞれの前記半導体素子ごとに切断することをさらに有する光素子の製造方法。

【請求項7】 請求項1から請求項6のいずれかに記載の光素子の製造方法において、

前記導電層を形成した後に、前記第1の面側に光透過性部材を設けることをさらに有する光素子の製造方法。

【請求項8】 請求項5を引用する請求項7記載の光素子の製造方法において、

前記光透過性部材は、前記半導体チップと略同形状である光素子の製造方法。

【請求項9】 請求項6を引用する請求項7記載の光素子の製造方法において、

前記光透過性部材は、前記半導体ウエハと略同形状である光素子の製造方法。

【請求項10】 請求項6を引用する請求項7記載の光素子の製造方法において、

前記光透過性部材は、前記半導体ウエハのそれぞれの前記半導体素子と略同形状であり、前記半導体ウエハのそれぞれの前記半導体素子について電気的特性検査を行うことによって良品部分の判定を行い、前記光透過性部材を、前記良品部分と判定されたいずれかの前記半導体素

子に設ける光素子の製造方法。

【請求項11】 請求項10記載の光素子の製造方法において、

前記半導体ウエハをそれぞれの前記半導体素子ごとに切断した後に、前記光透過性部材を設ける光素子の製造方法。

【請求項12】 請求項7から請求項11のいずれかに記載の光素子の製造方法において、

前記光透過性部材は、光学ガラスである光素子の製造方法。

【請求項13】 請求項1から請求項12のいずれかに記載の光素子の製造方法において、

前記第1の面側に、カラーフィルタを設けることをさらに有する光素子の製造方法。

【請求項14】 請求項1から請求項13のいずれかに記載の光素子の製造方法において、

前記導電層を形成した後に、前記第1の面側にマイクロレンズを設けることをさらに有する光素子の製造方法。

【請求項15】 光学部と、前記光学部と電気的に接続された電極と、を有する半導体チップからなる光素子であって、

前記半導体チップは、貫通穴と、前記貫通穴の内壁面を含み、前記光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って形成された導電層と、を有する光素子。

【請求項16】 請求項15記載の光素子において、前記半導体チップの前記第2の面に形成され、前記導電層と電気的に接続してなる外部電極をさらに有する光素子。

【請求項17】 請求項15又は請求項16に記載の光素子において、

前記半導体チップの前記第2の面に形成された応力緩和層をさらに有し、

前記導電層は、前記応力緩和層上に形成されてなる光素子。

【請求項18】 請求項16を引用する請求項17記載の光素子において、

前記外部電極は、前記第2の面における前記応力緩和層に対応する位置に形成されてなる光素子。

【請求項19】 請求項15から請求項18のいずれかに記載の光素子において、

前記半導体チップの前記第1の面側に設けられた光透過性部材をさらに有する光素子。

【請求項20】 請求項19記載の光素子において、前記光透過性部材は、前記半導体チップと略同形状である光素子。

【請求項21】 請求項19又は請求項20に記載の光素子において、

前記光透過性部材は、光学ガラスである光素子。

【請求項22】 請求項15から請求項21のいずれか

に記載の光素子において、

前記半導体チップの前記第1の面側に設けられたカラー
フィルタをさらに有する光素子。

【請求項23】 請求項15から請求項22のいずれか
に記載の光素子において、

前記半導体チップの前記第1の面側に設けられたマイク
ロレンズをさらに有する光素子。

【請求項24】 光学部と、前記光学部と電気的に接続
された電極と、を有する半導体チップからなる光素子を
備え、

前記半導体チップは、貫通穴と、前記貫通穴の内壁面を
含み、前記光学部が形成された側の第1の面から前記第
1の面に対向する第2の面に亘って形成された導電層と、を有する電子機器。

【請求項25】 請求項24記載の電子機器において、
前記光素子からの信号に基づく画像を表示する表示部を
さらに有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光素子及びその製
造方法並びに電子機器に関する。

【0002】

【従来の技術】 図16は従来の光素子パッケージを拡大
して示す断面図である。

【0003】 この従来の光素子パッケージ200は、積
層セラミックスにリード202をろう付けしたセラミック・パッケージ204を含む。光素子208は、セラミック・パッケージ204のマウント部206上で、ダイボンド材210により固定される。光素子208の電極212と、セラミック・パッケージ204の電極214と、はワイヤボンディングによって電気的接続が図られ
ている。また、光素子208の上方には、リッド材(光
学ガラス)218が配置されている。リッド材218は、セラミック・パッケージ204の段部216にその
縁部が引っ掛けられた状態で低融点ガラス220により
固着され、セラミック・パッケージ204の中空部を封
止している。

【0004】

【発明が解決しようとする課題】 このように従来は、セ
ラミック・パッケージ204上に光素子208を積層
し、互いの電極をワイヤボンディングにより行っている
ため、パッケージング後の光学部の面積に比し、光素子
パッケージ200の面積が大きくならざるを得ず、高密
度実装化に限界があった。

【0005】 また、セラミック・パッケージ204は材
料費が高い上、製造工程が複雑なのでコスト高とな
ってしまう。

【0006】 本発明の目的は、装置の小型化を図ると
ともに両面の電気的導通を確保することができる光素子及
びその製造方法並びに電子機器を提供することにある。

【0007】

【課題を解決するための手段】 (1) 本発明に係る光素子の製造方法は、光学部と、前記光学部と電気的に接続された電極と、を備えた半導体素子に貫通穴を形成することと、前記貫通穴の内壁面を含み、前記半導体素子の前記光学部が形成された側の第1の面から、前記第1の面に対向する第2の面に亘る導電層を形成することと、を有する。

【0008】 本発明によれば、半導体素子に貫通穴を形成し、その貫通穴の内壁面を含み、半導体素子の光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って導電層を形成する。したがって、外部との電気的接続は、第2の面側まで延出形成した導電層を利用して行われる。このため、従来のような外部電極を形成するためのセラミック・パッケージ等は不要とな
ってコストを下げることが可能となり、さらに実装面積が大幅に縮小されて高密度実装化が容易となる。

【0009】 (2) この光素子の製造方法において、前記半導体素子の前記第2の面に、前記導電層と電気的に接続する外部電極を形成することをさらに有してもよい。

【0010】 (3) この光素子の製造方法において、前記半導体素子の前記第2の面に応力緩和層を形成した後、前記導電層を前記応力緩和層上に形成してもよい。

【0011】 (4) この光素子の製造方法において、前記外部電極を、前記第2の面における前記応力緩和層に対応する位置に形成してもよい。

【0012】 (5) この光素子の製造方法において、前記半導体素子は、半導体ウェハから切断されてなる半導
体チップであってもよい。

【0013】 (6) この光素子の製造方法において、前記半導体素子は、半導体ウェハの一部であり、前記半導
体ウェハを、それぞれの前記半導体素子ごとに切断する
ことをさらに有してもよい。

【0014】 半導体素子が半導体ウェハの一部であ
れば、半導体チップを個片に切断する前の半導体ウェハの
段階で、第1及び第2の面の電気的な導通を図ることが
できる。したがって、製造工程が簡略化される。

【0015】 (7) この光素子の製造方法において、前記導電層を形成した後に、前記第1の面側に光透過性部
材を設けることをさらに有してもよい。

【0016】 (8) この光素子の製造方法において、前記光透過性部材は、前記半導体チップと略同形状であ
ってもよい。

【0017】 (9) この光素子の製造方法において、前記光透過性部材は、前記半導体ウェハと略同形状であ
ってもよい。

【0018】 (10) この光素子の製造方法において、前記光透過性部材は、前記半導体ウェハのそれぞれの前
記半導体素子と略同形状であり、前記半導体ウェハのそ

れぞの前記半導体素子について電気的特性検査を行うことによって良品部分の判定を行い、前記光透過性部材を、前記良品部分と判定されたいずれかの前記半導体素子に設けてよい。

【0019】これによれば、半導体ウエハの各半導体素子について電気的特性検査を行い、良品部分の判定を行い、良品部分と判定されたいずれかの半導体素子に光透過性部材を設ける。したがって、不良品の半導体素子に光透過性部材が設けられることがないので、光透過性部材の無駄が無く、歩留まりが向上し、製造コストが抑制できる。

【0020】(11)この光素子の製造方法において、前記半導体ウエハをそれぞれの前記半導体素子ごとに切断した後に、前記光透過性部材を設けてよい。

【0021】(12)この光素子の製造方法において、前記光透過性部材は、光学ガラスであってよい。

【0022】(13)この光素子の製造方法において、前記第1の面側に、カラーフィルタを設けることをさらに有してもよい。

【0023】(14)この光素子の製造方法において、前記導電層を形成した後に、前記第1の面側にマイクロレンズを設けることをさらに有してもよい。

【0024】(15)本発明に係る光素子は、光学部と、前記光学部と電気的に接続された電極と、を有する半導体チップからなる光素子であって、前記半導体チップは、貫通穴と、前記貫通穴の内壁面を含み、前記光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って形成された導電層と、を有する。

【0025】本発明によれば、半導体チップは、貫通穴と、その貫通穴の内壁面を含み、半導体チップの光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って形成された導電層と、を含む。外部との電気的接続は、第2の面側まで延出形成した導電層を利用して行われる。このため、従来のような外部電極を形成するためのセラミック・パッケージ等は不要となってコストを下げることが可能となり、さらに実装面積が大幅に縮小されて高密度実装化が容易となる。

【0026】(16)この光素子において、前記半導体チップの前記第2の面に形成され、前記導電層と電気的に接続してなる外部電極をさらに有してもよい。

【0027】(17)この光素子において、前記半導体チップの前記第2の面に形成された応力緩和層をさらに有し、前記導電層は、前記応力緩和層上に形成されてもよい。

【0028】(18)この光素子において、前記外部電極は、前記第2の面における前記応力緩和層に対応する位置に形成されてもよい。

【0029】(19)この光素子において、前記半導体チップの前記第1の面側に設けられた光透過性部材をさらに有してもよい。

【0030】(20)この光素子において、前記光透過性部材は、前記半導体チップと略同形状であってよい。

【0031】(21)この光素子において、前記光透過性部材は、光学ガラスであってよい。

【0032】(22)この光素子において、前記半導体チップの前記第1の面側に設けられたカラーフィルタをさらに有してもよい。

【0033】(23)この光素子において、前記半導体チップの前記第1の面側に設けられたマイクロレンズをさらに有してもよい。

【0034】(24)本発明に係る電子機器は、光学部と、前記光学部と電気的に接続された電極と、を有する半導体チップからなる光素子を備え、前記半導体チップは、貫通穴と、前記貫通穴の内壁面を含み、前記光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って形成された導電層と、を有する。

【0035】(25)この電子機器において、前記光素子からの信号に基づく画像を表示する表示部をさらに有してもよい。

【0036】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。次の実施の形態では、光素子の一例として受光素子を挙げて説明するが、本発明はこれに限定するものではなく、光素子は発光素子であってよい。光素子は光学部を有する。光素子が受光素子であるときは、光学部は受光部であり、光素子が発光素子であるときは、光学部は発光部である。

【0037】(実施形態1.) 図1は本発明の第1実施形態に係る受光素子を拡大して示す断面図、図2は本実施形態の受光素子の第1の製造方法の説明図で、ベースとなる半導体ウエハ5とこれに貼り付けられる光学ガラス9(光透過性部材)との関係を示している。なお、図2では、光透過性部材として光学ガラス9を使用する例を示すが、光透過性部材の材料は、ガラスの他に例えば樹脂(プラスチック)などを使用してもよい。

【0038】図3～図5は本実施形態の受光素子の第2の製造方法の工程図で、図3は受光部を有する複数の半導体素子3が形成された半導体ウエハの状態、図4は各半導体素子3の電気的特性検査を行って不良部分に“B A D”マーク3aを付けた状態、図5は良品と判定されたいずれかの半導体素子3に個片の光学ガラス(以下、光学ガラスチップ9bという)を貼り付けた状態、をそれぞれ示している。なお、本実施の形態において、半導体素子3とは、半導体ウエハ5の一部又は切断後の半導体チップ6のいずれかを指す。

【0039】本実施形態に係る受光素子1は、そのパッケージング(導電層などの形成)をウエハレベルで行ったものであってよい。その場合、受光素子1は、図2又は図5の各半導体素子3ごとに個片に切断して得られ

たものである。あるいは、受光素子1は、既に個別に切断された半導体チップの状態で、パッケージング（導電層などが形成）されてもよい。

【0040】図1のように、受光素子1は、受光部13と、受光部13と電気的に接続された電極2と、を有する半導体チップ6からなる。半導体チップ6は、受光部13が形成された第1の面Bと、第1の面Bに対向する第2の面Aを有する。電極2は、第1の面Bに形成されることが多い。なお、半導体チップ6は、半導体ウエハ5から切断された半導体素子3（図2、図3参照）である。

【0041】半導体チップ6は、第1の面Bから第2の面Aを貫通する貫通穴4を有する。そして、半導体チップ6の貫通穴4の内壁面を含み、第1の面Bに形成された電極2から第2の面Aにかけて導電層8が形成されている。言い換えると、導電層8は、一方が電極2に電気的に接続され、他方が第2の面Aに至るように形成されている。

【0042】受光素子1は、半導体チップ6の第2の面Aにおける貫通穴4の周縁の導電層8上に形成された外部電極となるハンダボール24を有してもよい。また、受光素子1は、半導体チップ6の第1の面Bに、透明樹脂または低融点ガラスからなる接着剤11などにより貼り付けられた光学ガラス9a又は光学ガラスチップ9bを有してもよい。

【0043】電極2には、絶縁膜10を介して貫通穴4と連通する穴12が形成されている。導電層8は、電極2の少なくとも一部に積層して形成されている。貫通穴4の内側において、導電層8の下には絶縁膜10が形成され、半導体チップ6の内部に形成された回路との電気的接続を遮断している。そして、導電層8によって、半導体チップ6の第1の面Bと第2の面Aとの間の電気的な接続が図られている。

【0044】光学ガラス9a又は光学ガラスチップ9bは、ここでは全面が受光部13に貼り付けられているが、これに限るものではなく、例えばその周辺部が受光部13を囲むように貼り付けてよい。

【0045】受光素子1がカラーの撮像素子である場合には、図1に示すように、光学ガラス9a（又は光学ガラスチップ9b）にカラーフィルタ102が形成されてもよい。カラーフィルタ102は、着色層及び保護膜などから構成され、各画素電極（各受光部13）と1対1に対応するように形成される。カラーフィルタ102は、例えば、既に周知である染色法、顔料法、電着法又は印刷法などで形成される。半導体チップ6とは別部材の光学ガラス9a（又は光学ガラスチップ9b）に、カラーフィルタ102を形成することで、半導体チップ6に直接形成するよりも製造工程が簡単になる。

【0046】半導体チップ6は、受光部13が形成された表面に絶縁膜（層間膜）16を有する。絶縁膜16

は、半導体チップの基本的な材料であるシリコンの酸化膜であることが多い。絶縁膜16上には電極（パッド）2が形成され、電極2は図示しない部分で受光部13と電気的に接続されている。電極2は、アルミニウム又は銅などの金属で形成されることが多い。電極2は、半導体チップ6の面の少なくとも1辺（多くの場合、2辺又は4辺）に沿って並んでいる。

【0047】次に、前述した受光素子1の第1の製造方法について、図2、及び図6（A）～図8（B）の工程図に基づき、図1を参照しながら説明する。

【0048】（第1の製造方法）まず、半導体チップ6の作成手順について図6（A）～図8（B）に基づき図1及び図2を参照しながら説明する。なお、以下に示す例では、ウエハレベルで（半導体ウエハの状態で）導電層などを形成する。

【0049】図6（A）に示すように個別の半導体チップ6に切断する前の半導体ウエハ5には、受光部13が形成された表面に絶縁膜16が形成され、絶縁膜16上に電極2の下層部2aが形成されている。そして、下層部2aの端部には、絶縁膜28が下層部2a上に積層され、電極2の上層部2bが絶縁膜28上に至るように形成されている。また、電極2の中央部をさけて端部を覆って、パッシベーション膜30が形成されている。パッシベーション膜30は、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができる。

【0050】まず、半導体ウエハ5の第1の面B、つまり受光部13と電極2が形成された面に、電極2も覆ってレジスト32を形成する。レジスト32を形成する方法としては、スピンドル法、ディッピング法、スプレーコート法等の方法を用いることが可能である。レジスト32は、後述するエッチング工程でエッチングしない部分を覆うものであり、フォトレジスト、電子線レジスト、X線レジストのいずれであってもよく、ポジ型又はネガ型のいずれであってもよい。本実施形態で使用するレジスト32は、ポジ型のフォトレジストである。レジスト32は、コーティング後に、他の部材に付着しないようにするため、プリベークして溶剤を飛ばす。

【0051】次いで、図6（B）に示すようにレジスト32をパターニングする。詳しくは、レジスト32上にマスクを配置して、エネルギーを照射する。エネルギーは、レジスト32の性質によって異なり、光、電子線、X線のいずれを使用してもよい。本実施形態ではフォトマスクの形状は、パターニング形状によって決まり、レジスト32がポジ型であるかネガ型であるかによって反転形状となる。

【0052】露光後、レジスト32を現像しポストベークする。パターニングされたレジスト32には、電極2の中央部を露出させる開口部34が形成されている。

【0053】図6（C）に示すようにレジスト32の開口部34によって露出した電極2の中央部をエッチング

する。エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング (RIE) であってもよい。また、エッチングとしてウエットエッチングを適用してもよい。こうして、電極2の中央部（端部を除く部分）に、穴36を形成する。穴36は、前述の図1で説明した貫通穴4となる位置に形成される。詳しくは、穴36は、貫通穴4の開口端部とほぼ同じか、あるいはそれ以上の大きさで形成され、貫通穴4と連通する。

【0054】そして、レジスト32を剥離した後、図6 (D) に示すように半導体ウエハ5の電極2が形成された側（第1の面B側）と、その反対側（第2の面A側）に絶縁膜38, 40を形成する。絶縁膜38, 40は、シリコン酸化膜や窒化膜であってもよく、化学気相堆積 (CVD) によって形成することができる。第1の面B側の絶縁膜38は、電極2及びパッシベーション膜30を覆う。電極2には穴36が形成されているので、絶縁膜38は、穴36の内部（内壁面及び露出した絶縁膜16）も覆う。

【0055】次いで、図6 (E) に示すように半導体ウエハ5の第1の面B側と、第2の面A側に、レジスト42, 44を形成した後、これらレジスト42, 44をパターニングして、前述の図1で説明した貫通穴4となる位置に開口部46, 48を形成する。開口部46は、穴36と開口部46との間に絶縁膜38が存在するように、電極2の穴36の内側に形成する。したがって、開口部46, 48は、絶縁膜38, 40の一部を露出させる。なお、レジスト42, 44の形成及びそのパターニングの方法は、前述したレジスト32について説明した内容が該当する。レジスト42, 44のうち一方（例えばレジスト42）を（例えば半導体ウエハ5の第1の面B側に）形成し、ブリベーカしてから、他方（例えばレジスト44）を形成し、これをブリベーカしてもよい。

【0056】図6 (F) に示すように、絶縁膜16, 38に、電極2の穴36の内側に穴50を形成し、絶縁膜40に穴52を形成する。

【0057】図6 (G) に示すように、レジスト42, 44を剥離する。そして、図7 (A) に示すように、半導体ウエハ5の穴50, 52にて露出した部分をエッチングする。このエッチングする部分は、受光部13が形成されていない部分であり、シリコンで形成されている。このエッチングによって、半導体ウエハ5の表面に、視覚的に認識しやすい窪み54, 56を形成する。窪み54, 56の形状は、特に限定されず、テーパが付された形状であってもよいし、表面と垂直な壁面を有していてもよい。エッチングは、ウエットエッチングを適用することが簡単であるが、ドライエッチングを適用してもよい。エッチングの種類によって、窪み54, 56の形状が決まる。

【0058】図7 (B) に示すように、半導体ウエハ5

10 に、小孔58（例えば直径約20 μm）を形成する。小孔58は、前述の図1で説明した貫通穴4よりも小さい径で、貫通穴4の中心に形成する。小孔58の形成には、レーザ（例えばYAGレーザやCO₂レーザ）を使用することができる。レーザビームは、前述した窪み54, 56で位置を認識して照射することができる。レーザビームを、半導体ウエハ5の一方の面からのみ照射して小孔58を形成してもよいし、半導体ウエハ5の両面から（順番にあるいは同時に）レーザビームを照射してもよい。両面からレーザビームを照射すれば、半導体ウエハ5に与える影響が少ない。

【0059】図7 (C) に示すように、半導体ウエハ5に貫通穴4を形成する。貫通穴4は、前述した小孔58を拡大させて形成する。例えば、ウエットエッチングを適用して、小孔58の内壁面をエッチングしてもよい。エッチング液として、例えば、沸酸と沸化アンモニウムを混合した水溶液（バッファード沸酸）を用いてもよい。

【0060】貫通穴4は、ここでは軸方向の全ての部分で開口断面がほぼ同じ径となるように形成しているが、この貫通穴を、例えば開口端部と、開口端部よりも径の大きい中間部（例えば約40～50 μmの径）と、を有する形状に形成してもよい。このように貫通穴の中間部の径をできるだけ大きくすれば、後述するCVDや無電解メッキを行いやすくなる。本例のように貫通穴4をストレート状に形成すれば、貫通穴4を形成することによる半導体ウエハ5の強度の低下を抑えることができる。なお、貫通穴4は、開口端部と中間部とを接続するテーパ部を有していてもよい。テーパ部も、小孔58をウエットエッチングで拡大することで形成される。

【0061】次に、図7 (D) に示すように、少なくとも貫通穴4の内壁面に絶縁膜10を形成する。絶縁膜10の形成には、CVDを適用してもよい。絶縁膜10は、貫通穴4の内壁面以外の領域に形成されてもよい。例えば、絶縁膜38, 40上に絶縁膜10が形成されてもよい。ただし、絶縁膜10によって、貫通穴4の開口を塞がないようにする。

【0062】次に、図7 (E) に示すように、半導体ウエハ5の第1の面B側に、半導体ウエハ5の貫通穴4の、一方の開口を塞ぐようにレジスト64を形成した後、レジスト64をパターニングして、開口部68を形成する。なお、レジスト64を形成するときに、第2の面A側にもレジスト66が形成されてもよい。そして、レジスト64, 66をブリベーカする。レジスト64, 66の形成及びそのパターニングの方法は、前述したレジスト32について説明した内容を適用することができる。開口部68は、電極2の少なくとも一部の上方に形成されているが、貫通穴4の上方には、レジスト64の一部が残されたままとなっている。例えば、開口部68は、電極2の範囲内に収まる形状の外周と、少なくとも

貫通穴4の開口端部を覆う形状の内周と、の間にリング状に形成されている。なお、ここでいうリング状とは角リング状であっても丸リング状であってもよい。開口部68は、絶縁膜10の一部を露出させる。

【0063】次いで、図7(F)に示すように、パターニングされたレジスト64をマスクとして、絶縁膜10、38をエッチングして、電極2の一部を露出させる。ここで露出する一部は、電気的な接続を図る部分であるから、大きいことが好ましい。その後、図7(G)に示すように、レジスト64、66を剥離する。

【0064】次に、導電層を形成するために、半導体ウェハ5の第1の面B側と第2の面A側にレジストを形成した後、パターニングし、ブリベーカする。その後、図8(A)に示すように、第1の面Bの電極2から第2の面Aにかけて、かつ貫通穴4の内壁面(ここでは貫通穴4内の絶縁膜10表面)をも含む領域に導電層8を形成する。

【0065】この導電層8の形成工程を更に詳述すると、まず半導体ウェハ5の第1の面B側と第2の面A側にレジスト(図示しない)を形成する。第1の面B側のレジストは、段差の大きい領域に形成されるため、予めフィルム状をなしたもの(ドライフィルム)であることが好ましい。

【0066】次いで、半導体ウェハ5の第1の面B側と第2の面A側のレジストをパターニングして、貫通穴4と連通する開口部(図示しない)と、この開口部に連なる配線パターン(図示しない)を形成する。第1の面B側の開口部は、電極2の一部を露出させる。

【0067】次に、貫通穴4から電極2の露出部分上に至るまで、無電解メッキのための触媒(図示しない)を付与する。ここでは、触媒としてパラジウムを用いる。触媒の形成方法として、例えば半導体ウェハ5をパラジウムとスズを含む混合溶液に浸し、その後、塩酸などの酸で処理することによってパラジウムのみを設けてよい。あるいは、半導体ウェハ5を塩化スズ溶液に浸すことによってスズイオン(還元剤)を吸着させ、その後、塩化パラジウム溶液に半導体ウェハ5を浸して、スズイオン(還元剤)によりパラジウムイオンを還元しパラジウム核(触媒)を析出させてもよい。

【0068】あるいは、触媒を、インクジェット方式によって直接的に設けてよい。インクジェット方式によれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつインクを無駄なく経済的に設けることが可能である。インクジェットヘッドは、例えばインクジェットプリンタ用に実用化されたもので、圧電素子を用いたピエゾジェットタイプ、あるいはエネルギー発生素子として電気熱変換体を用いたバブルジェット(登録商標)タイプ等が使用可能であり、吐出面積および吐出パターンは任意に設定することが可能である。これによって、レジストパターニング工程及びレジスト剥離工程を行うことなく、また全面に金属層を形成する場合はエッチング工程を行うことなく電気的な接続部を形成することが可能になる。

【0069】次いで、半導体ウェハ5の第1の面B側と第2の面A側のレジストを剥離する。レジストを剥離することによって、電気的な接続部を形成したい領域のみに触媒を設けることができる。レジストの剥離のときに、紫外線を照射してもよく、弱アルカリ性の溶液に浸してレジストを剥離してもよい。これによって容易かつ確実にレジストを剥離することができる。

【0070】なお、ここではレジストをパターン化した後に触媒を設け、その後にレジストを剥離することによって、触媒を電気的な接続部の形成領域に露出させているが、これに限るものではない。例えば、触媒を全面に設けた後に、レジストを電気的な接続部の形成領域を除いてパターン化して設けることによって、結果的に電気的な接続部の形成領域に触媒を露出させてもよい。この場合は、電気的な接続部の形成を終えた後にレジストを剥離する。

【0071】次に、触媒が露出する領域に、無電解メッキによって前述の導電層8を形成する。なお、触媒は、貫通穴4の内壁面(ここでは絶縁膜10の表面)と、半導体ウェハ5の第1の面B側及び第2の面A側と、に設けられている。したがって、導電層8は、半導体ウェハ5の第1の面B側と第2の面A側とを貫通穴4を介して連続的に形成される。また、導電層8は、電極2上に積層される。

【0072】導電層8の材料として、Ni、Au、Ni+Au、Cu、Ni+Cu、Ni+Au+Cuのいずれかを用いることができる。例えば、銅メッキ液を使用し、触媒であるパラジウムを核として溶液中の銅イオンを還元し、銅(導電層8)を析出する。なお、導電層8を形成するための導電材料として、複数の異種の金属(例えばNi+Cu、Ni+Au+Cu)を用いてもよく、これによって複数層で導電層8を形成してもよい。

【0073】無電解メッキのために、弱アルカリ性の銅メッキ溶液を用いてもよい。弱アルカリ性(pH9付近)の銅メッキとして例えば、PB-570MU、PB-570A、PB-570B、PB-570C、PB-570Sを混合してなるPB-570(メーカー名:荏原ユージーライト株式会社)を用いてもよい。これによれば、銅メッキ液が弱アルカリ性であるので、例えば電極2がアルミニウムであってもそれに与える損傷を少なくすることができる。

【0074】あるいは、電極2の表面に図示しない導電層を形成して電極2を保護すれば、強アルカリ性の溶液の使用も可能となる。導電層8は一層であっても複数層であってもよい。例えば、導電層8をニッケルと金との二層で形成してもよい。導電層8をニッケルで形成する方法として、予め、電極2上にジンケート処理を施して

40

50

アルミニウム上の表面を亜鉛に置換し、その後に無電解ニッケルメッキ液中に浸漬し、亜鉛とニッケルの置換反応を経てニッケルを堆積してもよい。もしくは、アルミニウムを、アルミニウム上ののみに選択的に吸着するバラジウム溶液に浸し、その後無電解ニッケルメッキ液中に浸し、バラジウムを核としてニッケルの皮膜を析出させてもよい。導電層8をニッケルのみで形成してもよいが、さらに無電解金メッキ液中に浸し、ニッケルの表面にさらに金の皮膜を形成してもよい。金の皮膜を形成することで導電層8との電気的接続をさらに確実にすることができる。

【0075】前述した例は全て湿式法（めっき）を用いた導電層8の形成方法であるが、その他の形成方法として従来行われている乾式法（スパッタなど）を用いた方法、または乾式法と湿式法を組み合わせた方法を採用してもよい。

【0076】なお、導電層8における第2の面A側の電気的な接続部となる貫通穴4の周縁部分は、導電層を厚く（例えは約5μm以上）形成することが好ましい。

【0077】以上の工程により導電層8が形成され、導電層8の一部が第2の面Aにおいてハンダボールを形成するための台座8a（図8（A）参照）となる。

【0078】ハンダボールの形成工程は、図8（B）に示すように、台座8aの上に、外部電極となるハンダボール24を形成する。ハンダボール24の形成は、まず台座8aの上に、ハンダボールとなるハンダを厚層状に形成する。このハンダの厚みは、その後のハンダボール形成時に要求されるボール径に対応したハンダ量で決まる。ハンダの層は、電解メッキや印刷等により形成される。その後、ウェットパックによって半球以上のボール状にして、ハンダボール24とする。ここで、ウェットパックとは、ハンダ材を外部電極形成位置に形成した後にリフローさせて略半球状のバンブを形成することをいう。

【0079】以上のようにして、図2に示す複数の半導体素子3を有する半導体ウエハ5が得られる。

【0080】半導体ウエハ5に光学ガラス9（光透過性部材）を設けてもよい。例えば、図2に示すように、半導体ウエハ5の表面すなわち半導体素子3の第1の面Bに、半導体ウエハ5と略同形状で、半導体ウエハ5のダイシングラインLaと同じパターンのダイシングラインLbが形成された光学ガラス9を、互いのダイシングラインLa, Lbの位置合わせを行ってから透明樹脂または低融点ガラスからなる接着剤11により貼り付ける。その後、ダイシングラインLa, Lbに沿って半導体ウエハ5と光学ガラス9を共に切断することで、図1に示す受光素子1を得る。

【0081】このように、本実施形態においては、半導体ウエハ5の各半導体素子3に貫通穴4を形成し、その貫通穴4の内壁面を含み、半導体素子3の受光部13が

形成された側の第1の面Bからそれに対向する第2の面Aに亘って導電層8を形成する。受光素子1の外部との電気的接続は、第2の面Aまで延出形成した導電層8を利用して行うことができる。このため、従来のような外部電極を形成するためのセラミック・パッケージ等は不要となるため、コストを下げることが可能となり、さらに実装面積を大幅に縮小することにより高密度実装化が容易となる。また、各半導体素子3を個片に切断する前の半導体ウエハ5の段階で光学ガラス9の貼り付けが行われるので、製造工程が簡略化され、パーティクル管理も不要となる。

【0082】次に、前述した受光素子1の第2の製造方法について、図3～図5の工程図に基づき、図1を参照しながら説明する。なお、導電層8などの作成手順は、前述の図6～図8により説明した内容を適用することができる。したがって、ここでは半導体素子3を有する半導体ウエハ5が得られた段階から説明する。

【0083】（第2の製造方法）まず、図3に示す半導体ウエハ5の各半導体素子3を、LSIテストとウエハプローバを用いて電気的特性検査を行い、良否を判定し、不良と判定されたいずれかの半導体素子3に、図4のように“BAD”マーク3aを付ける。“BAD”マーク3aのマーキングの方法としては、インクまたはレーザを用いる方法や、ウエハマップ（コンピュータが良品か不良品かの情報を記憶）を利用する。

【0084】次いで、良品と判定された半導体素子3の第1の面Bのみに、それぞれ図5に示すように個片の光学ガラスすなわち光学ガラスチップ9bを透明樹脂または低融点ガラスからなる接着剤11により貼り付ける。

30 その後、ダイシングラインLaに沿って半導体ウエハ5を切断することで、図1に示す受光素子1を得る。

【0085】このように、本製造方法においても、各半導体素子3を個片に切断する前の半導体ウエハ5の段階で光学ガラスチップ9bの貼り付けが行われるので、製造工程が簡略化される。

【0086】また、従来のような外部電極を形成するためのセラミック・パッケージ等は不要となるため、コストを下げることが可能となり、さらに実装面積を大幅に縮少することにより高密度実装化が容易となる。

40 【0087】また、半導体ウエハ5の良品と判定された半導体素子3の第1の面Bにのみ、光学ガラスチップ9bを貼り付けるようにしているので、不良品の受光チップ形成部3に光学ガラスチップ9bが貼り付けられることなく、光学ガラスチップ9bの無駄が無く、歩留まりが向上する。

【0088】あるいは、半導体ウエハ5をそれぞれの半導体素子3ごとに切断した後に、光学ガラスチップ9bを、良品と判定されたいずれかの半導体素子3の第1の面Bに貼り付けてもよい。

【0089】（実施形態2.）図9は本発明の第2実施

形態に係る受光素子を拡大して示す断面図であり、図中、前述の第1実施形態の図1と同一部分には同一符号を付してある。なお、説明にあたっては、前述の図2～図7 (G) を参照するものとする。

【0090】本実施形態に係る受光素子100も、そのパッケージングをウェハレベルで行ったものであってもよい。また、受光素子100は、光学ガラス109a (光透過性部材) を貼り付け後の各半導体素子3 (図2参照) を個片に切断して得られたものであってもよく、あるいは、良品と判定された各半導体素子3に光学ガラスチップ109bを貼り付けた後に、良品のいずれかの半導体素子3 (図5参照) を個片に切断して得られたものであってもよい。なお、光学ガラス109a (又は光学ガラスチップ109b) は、半導体チップ6の受光部13を覆うためのカバーガラスであってもよい。

【0091】受光素子100は、図9のように受光部13が形成された第1の面Bに、受光部13と電気的に接続された電極2を有する半導体チップ6からなる。半導体チップ6については、第1実施形態で既に説明した通りである。

【0092】受光素子100は、半導体チップ6の第2の面Aに部分的に形成された応力緩和層20を有する。そして、導電層8は、貫通穴4の内壁面を含み、電極2から応力緩和層20の上にかけて形成されている。受光素子100は、導電層8のうち、応力緩和層20上に形成された部分にハンダボール24を有してもよい。すなわち、導電層8のうち、応力緩和層20の上に形成された部分は、外部電極となるハンダボール24を設けるための台座22となる。また、受光素子100は、第2の面Aの保護や防湿性の向上を目的として形成されてハンダボール24を除く部分を覆うソルダレジスト層からなる保護膜26と、透明樹脂または低融点ガラスからなる接着剤11により半導体チップ6の第1の面Bに貼り付けられた光学ガラス109a (又は光学ガラスチップ109b) と、を有してもよい。なお、ここでも光学ガラス109a (又は光学ガラスチップ109b) は、全面が受光部13に貼り付けられているものを例に挙げているが、これに限るものでなく、例えばその周辺部が受光部13を囲むように貼り付けてもよい。それ以外の構成については、前述の図1で説明した内容を適用することができる。

【0093】次に、前述した受光素子100の製造方法について説明する。本例においても前述のように大別して二通りの製造方法がある。一つは、半導体ウェハ5の表面すなわち半導体素子3を有する側の面に、半導体ウェハ5と略同形状で、半導体ウェハ5のダイシングラインL aと同じパターンのダイシングラインL bが形成された光学ガラス109aを、互いのダイシングラインL a, L bの位置合わせを行ってから透明樹脂または低融点ガラスからなる接着剤11により貼り付ける (図2参

照)。その後、ダイシングラインL a, L bに沿って半導体ウェハ5と光学ガラス109aを共に切断することで、図9に示す受光素子100を得る方法である。また他の一つは、半導体ウェハ5の各半導体素子3を、L S I テスターとウェハプローバを用いて電気的特性検査を行い、良否を判定し、不良受光チップ形成部に“BAD”マーク3aを付け、良品と判定された受光チップ形成部3の第1の面Bのみに、それぞれ光学ガラスチップ109bを透明樹脂または低融点ガラスからなる接着剤11により貼り付ける (図3～図5参照)。その後、ダイシングラインL aに沿って半導体ウェハ5を切断することで、図9に示す受光素子100を得る方法である。

【0094】半導体チップ6は、図6 (A) ～図7 (G) 及び図10 (A) ～図11 (C) の工程を経て作成されるが、貫通穴4を形成するまでの工程 (図6 (A) ～図7 (G)) については前述の実施形態1で説明した内容をそのまま適用することができる。したがって、ここでは貫通穴4形成後の工程 (図10 (A) ～図11 (C)) を中心に説明する。

【0095】まず、図7 (G) のように各半導体素子3に貫通穴4が形成され、電極2の一部が露出された半導体ウェハ5の第2の面Aに、図10 (A) のように感光性のポリイミド樹脂を塗布して (例えば「スピニングコーティング法」にて) 樹脂層70を形成する。樹脂層70は、1～100 μm の範囲、更に好ましくは10 μm 程度の厚みで形成されることが好ましい。なお、スピニング法では、無駄になるポリイミド樹脂が多いので、ポンプによって帯状にポリイミド樹脂を吐出する装置を使用してもよい。このような装置として、例えばFAS社製のFAS超精密吐出型コーティングシステム (米国特許第4696885号参照) などがある。なお、この樹脂層70が、前述の図9で説明した応力緩和層20としての機能を有する。

【0096】次いで、図10 (B) のように樹脂層70を露光、現像及び焼成処理によって、後述の再配置配線の台座となる部分すなわち応力緩和層20を残し除去する。

【0097】なお、ここでは応力緩和層20となる樹脂に感光性ポリイミド樹脂を用いた場合を例に挙げて説明したが、感光性のない樹脂を用いても良い。例えばシリコン変性ポリイミド樹脂、エポキシ樹脂やシリコン変性エポキシ樹脂等、固化したときのヤング率が低く ($1 \times 10^{10} \text{ Pa}$ 以下)、応力緩和の働きを果たせる材質を用いると良い。非感光性の樹脂を用いた場合には、その後にフォトレジストを用いてフォト工程を経て所定の形状を形成させる。

【0098】次に、導電層を形成するために、半導体ウェハ5の第1の面B側と第2の面A側にレジストを形成した後、パターニングし、プリベークする。その後、図10 (C) に示すように、第1の面Bの電極2から第2

の面Aにかけて、第2の面A側に再配置配線18及び応力緩和層20の表面を覆う台座22を有し、かつ貫通穴4の内壁面（ここでは貫通穴4内の絶縁膜10表面）をも含む領域に導電層8を形成する。この導電層8のパターンを除く形成工程の詳細については、前述の実施形態1の図8（A）及び図8（B）を用いて説明した内容を適用することができる。

【0099】なお、第2の面A側の電気的な接続部となる台座22は、導電層を厚く（例えば約5μm以上）形成することが好ましい。

【0100】以上の工程により導電層8が形成され、導電層8の一部が第2の面Aにおいて再配置配線18を形成し、再配置配線18の末端がポリイミド等の樹脂で形成された応力緩和層20の表面を覆い、この部分がハンダボールを形成するための台座22となる。

【0101】ハンダボールの形成工程は、まず半導体ウエハ5の第2の面A側の全面に図11（A）に示すように、保護膜26となる感光性のソルダレジスト層を塗布により形成する。

【0102】そして、露光、現像及び焼成処理を行って、図11（B）に示すように、ソルダレジスト層のうち、台座22を覆っている部分の領域を除去する。こうして、残されたソルダレジスト層は、酸化防止膜として、また最終的に受光素子100（図9）となったときの第2の面Aの保護や、更には防湿性の向上を目的とした保護膜26となる。

【0103】その後、図11（C）に示すように、台座22の上に、外部電極となるハンダボール24を形成する。ハンダボール24の形成は、まず台座22の上に、ハンダボールとなるハンダを厚層状に形成する。このハンダの厚みは、その後のハンダボール形成時に要求されるボール径に対応したハンダ量で決まる。ハンダの層は、電解メッキや印刷等により形成される。その後、ウェットパックによって半球以上のボール状にして、ハンダボール24とする。

【0104】以上のようにして、図1又は図3に示すような複数の半導体素子3を有する半導体ウエハ5が得られる。そして、このようにして形成された半導体ウエハ5の半導体素子3によれば、これが個片に切断され最終的に受光素子100（図9）となったときに、樹脂からなる応力緩和層20によって、回路基板（図示せず）と半導体チップ6との間の熱膨張係数の差による応力が緩和される。

【0105】このように、本実施形態においては、半導体ウエハ5の各半導体素子3の第2の面A側に部分的に応力緩和層20を形成する。そして、導電層8は、電極2から、貫通穴4の内壁面を含み、応力緩和層20の上にかけて形成される。本実施の形態においても、受光素子100の外部との電気的接続は、第2の面Aの応力緩和層20上にまで延出形成した導電層8（再配置配線1

8）を利用して行うことができる。そのため、第1実施形態で説明した効果の他に、樹脂からなる応力緩和層20によって、回路基板（図示せず）と半導体チップ6との間の熱膨張係数の差による応力が緩和されるという利点がある。

【0106】なお、受光素子の他の製造方法として、予め個片に切断された受光チップに、個片の光学ガラスを貼り付けても良い。

【0107】図12は、本実施の形態の変形例に係る受光素子を示す図である。受光素子300は、上述の受光素子100（図9参照）に、カラーフィルタ104と、マイクロレンズ106と、をさらに含むものである。カラーフィルタ104及びマイクロレンズ106は、第1の面B側に形成される。

【0108】図12に示す例では、カラーフィルタ104は、半導体チップ6の受光部13が形成された面に直接形成されている。カラーフィルタ104は、半導体ウエハの状態で各半導体素子に形成してもよい。これによれば、半導体ウエハに、一括してカラーフィルタ104を形成することができるので生産効率に優れる。あるいは、個別に切断した後の各半導体チップ6に形成してもよい。また、カラーフィルタ104の形成方法は限定されず、例えば、予め形成した透明層を染色する染色法で形成してもよいし、顔料を分散させたものを塗布する顔料法で形成してもよい。なお、カラーフィルタ104

20 は、フォトリソグラフィ技術を適用して所定の形状にバターニングしてもよく、印刷法によってバターニングしてもよい。半導体チップ6上に直接的にカラーフィルタ104を形成すれば、光学ガラス109a（又は光学ガラスチップ109b）に、カラーフィルタを形成せずに済む。

【0109】図12に示す例では、複数のマイクロレンズ（凸レンズ）106は、第1の面B側でアレイ状に配置されている。マイクロレンズ106は、各画素電極（各受光部13）と1対1に対応するように配置される。これによって、各受光部13に通過する光を絞ることができる。なお、マイクロレンズ106は、ガラスや樹脂（プラスチック）などで形成される。

【0110】図12に示す例とは別に、カラーフィルタ104は、光学ガラス109a（又は光学ガラスチップ109b）の表面に形成してもよい（第1の実施形態参照）。あるいは、光学ガラス109a（又は光学ガラスチップ109b）と、マイクロレンズ106と、の間にカラーフィルタ104を形成してもよい。

【0111】また、図12に示す例において、カラーフィルタ104又はマイクロレンズ106のいずれか一方を省略してもよい。例えば、カラーフィルタ104を省略した場合、マイクロレンズ106にカラーフィルタの機能を持たせてもよい。

50 【0112】なお、カラーフィルタ104及びマイクロ

レンズ106は、既に周知の方法を適用して形成することができる。

【0113】(実施形態3.) 図13～図15(B)は、本発明の実施の形態に係る受光素子(光素子の一例)を含む電子機器を示す図である。この電子機器は、具体的には、各種のイメージセンサ等を含む撮像装置であってもよい。

【0114】図13には、撮像部1100及び表示部1200を有するパーソナルコンピュータ1000が示されている。このパーソナルコンピュータ1000は、被写体像を撮像部1100で捉え、上述の受光素子で光信号を電気信号に変換した後、その電気信号に基づく画像を表示部1200に表示する。これによれば、小型の受光素子が実装されているので、小型かつ高集積の電子機器を提供することができる。

【0115】その他の電子機器の例として、図14には撮像部2100を備えるデジタルカメラ2000が示されており、図15(A)及び図15(B)には撮像部3100及び表示部3200を備える携帯電話3000が示されている。

【図面の簡単な説明】

【図1】図1は、本発明の第1実施形態に係る受光素子を拡大して示す断面図である。

【図2】図2は、本発明の第1実施形態に係る受光素子の第1の製造方法の説明図である。

【図3】図3は、本発明の第1実施形態に係る受光素子の第2の製造方法の工程図である。

【図4】図4は、本発明の第1実施形態に係る受光素子の第2の製造方法の工程図である。

【図5】図5は、本発明の第1実施形態に係る受光素子の第2の製造方法の工程図である。

【図6】図6(A)～図6(G)は、本発明の第1実施形態に係る受光素子の製造方法の工程図である。

【図7】図7(A)～図7(G)は、本発明の第1実施形態に係る受光素子のベースの製造方法の工程図である。

* 【図8】図8(A)及び図8(B)は、本発明の第1実施形態に係る受光素子の製造方法の工程図である。

【図9】図9は、本発明の第2実施形態に係る受光素子を拡大して示す断面図である。

【図10】図10(A)～図10(C)は、本発明の第2実施形態に係る受光素子の製造方法の工程図である。

【図11】図11(A)～図11(C)は、本発明の第2実施形態に係る受光素子の製造方法の工程図である。

【図12】図12は、本発明の第2実施形態の変形例に係る受光素子を拡大して示す断面図である。

【図13】図13は、本発明の実施の形態に係る電子機器を示す図である。

【図14】図14は、本発明の実施の形態に係る電子機器を示す図である。

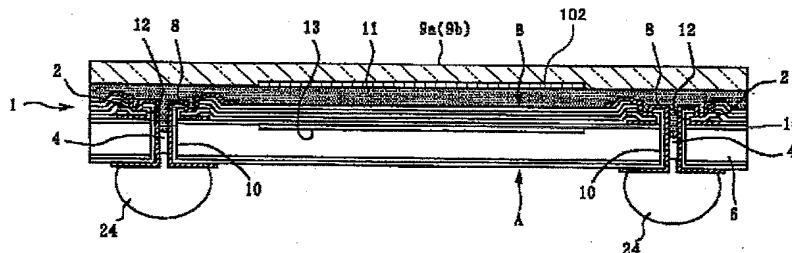
【図15】図15(A)及び図15(B)は、本発明の実施の形態に係る電子機器を示す図である。

【図16】図16は、従来の受光素子パッケージを拡大して示す断面図である。

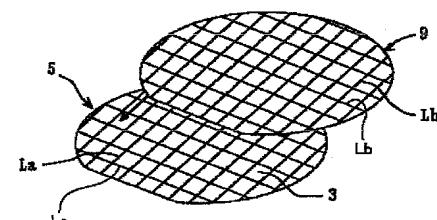
【符号の説明】

20	1, 100, 300	受光素子
3	半導体素子	
3 a	“BAD”マーク	
4	貫通穴	
5	半導体ウエハ	
6	半導体チップ	
8	導電層	
9, 9 a	光学ガラス	
9 b	光学ガラスチップ(個片の光学ガラス)	
13	受光部	
30	L _a , L _b	ダイシングライン
A	第2の面	
B	第1の面	
20	応力緩和層	
24	ハンダボール(外部電極)	
102, 104	カラーフィルタ	
106	マイクロレンズ	

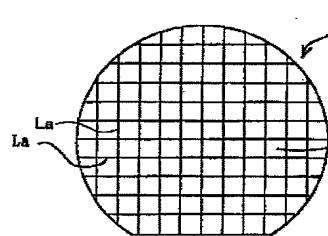
【図1】



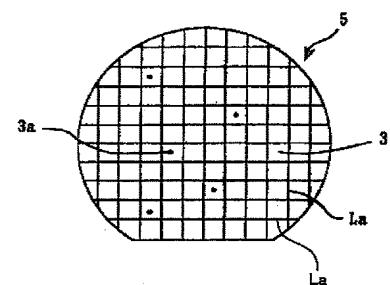
【図2】



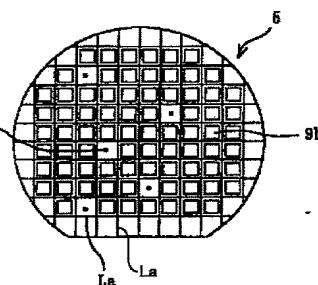
[図3]



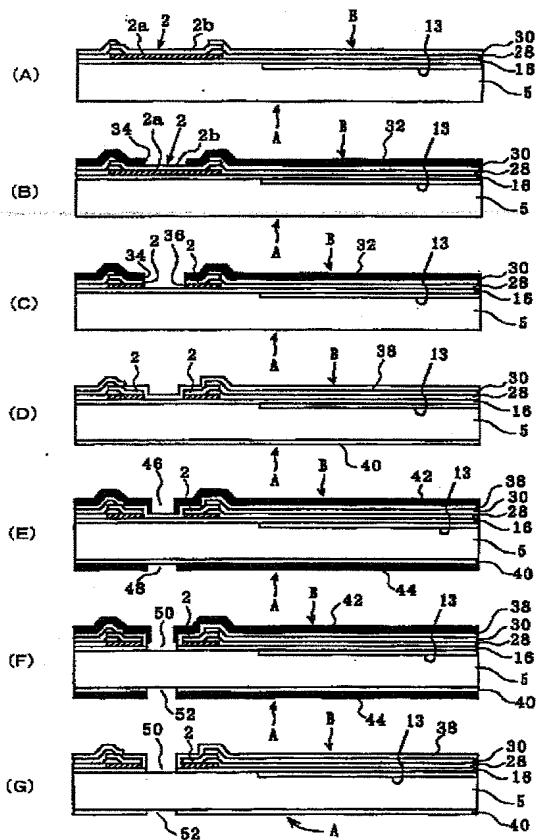
【图4】



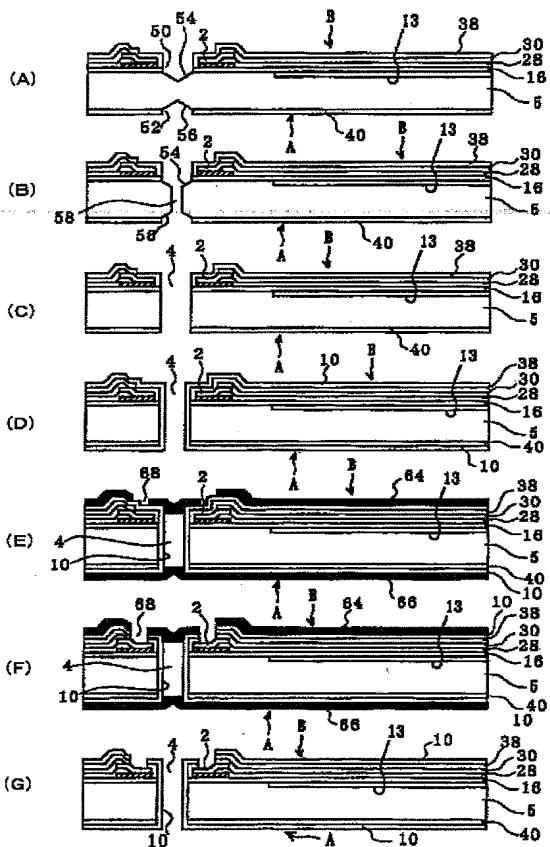
【図5】



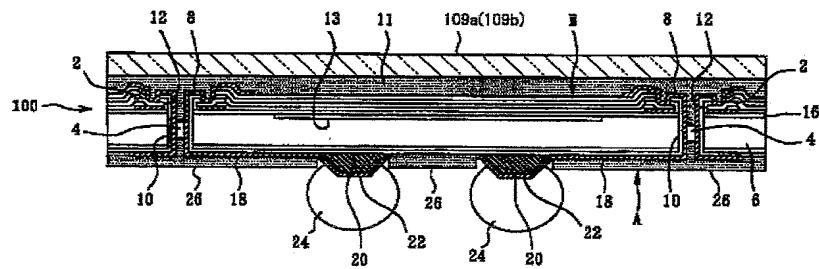
【図6】



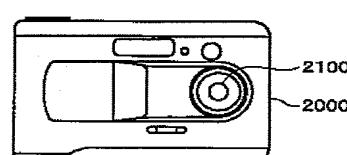
[図7]



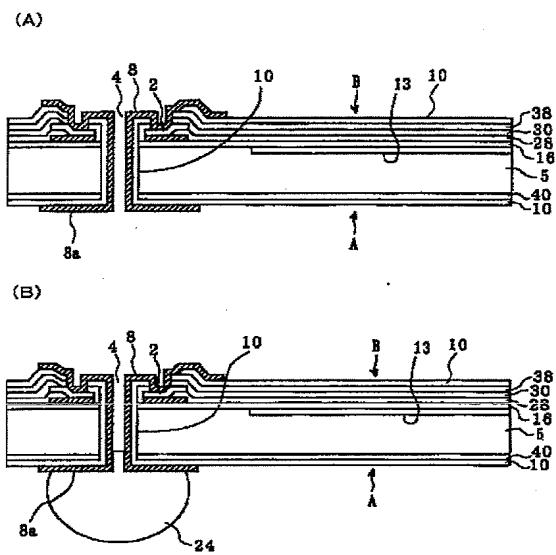
[図9]



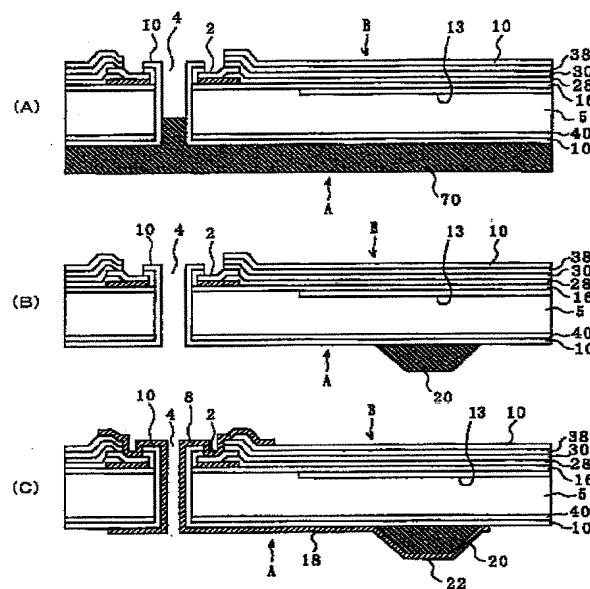
【図14】



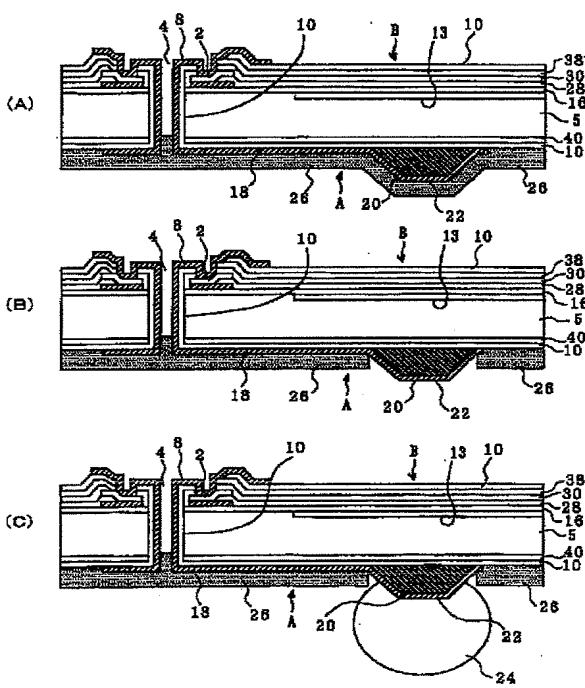
【図8】



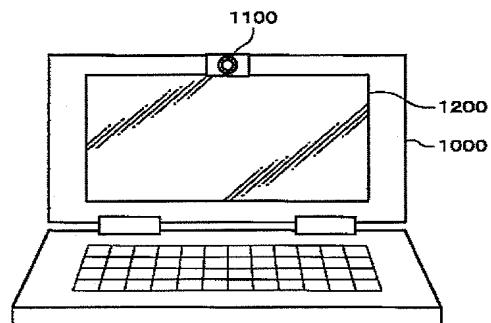
【図10】



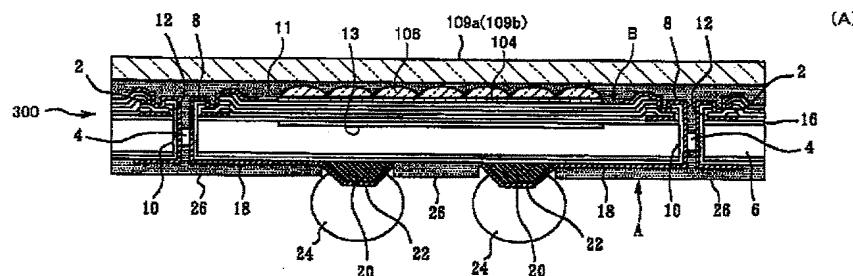
【図11】



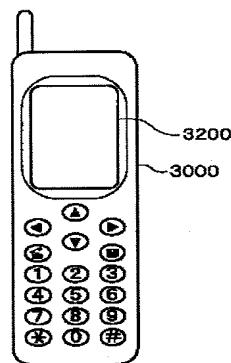
【図13】



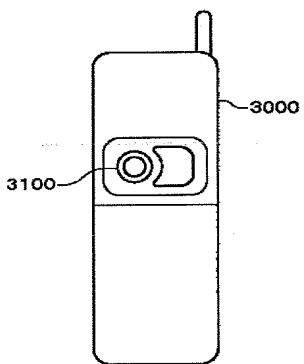
【図12】



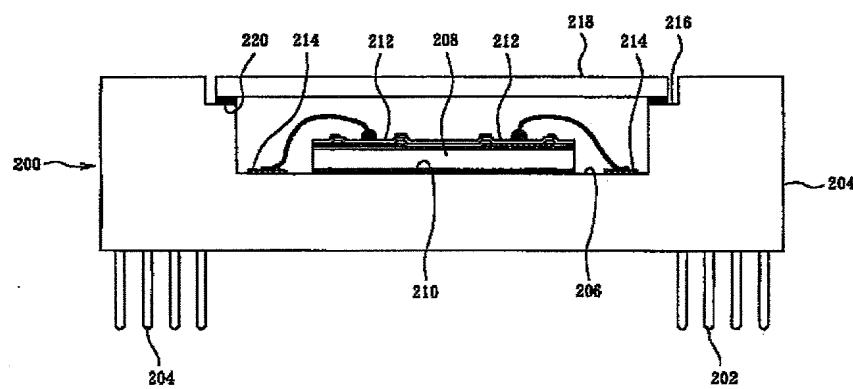
【図15】



(B)



【図16】



フロントページの続き

F ターム(参考) 4M118 AA09 AA10 AB01 CA32 EA01
EA05 GC07 GD07 HA02 HA24
HA29 HA31
5C024 BX01 BX06 BX07 CY47 EX25
GX02
5F033 HH07 HH08 HH11 HH12 HH13
JJ07 JJ11 JJ12 JJ13 KK07
KK11 KK12 KK13 MM30 PP15
PP28 QQ09 QQ11 QQ13 QQ19
QQ37 QQ53 RR04 RR06 RR22
SS11 VV07 XX00
5F088 BA15 BA16 BB03 DA20 EA16
FA09 FA11 HA05 JA09 JA12
JA13 JA20